第4章

VGAディジタルCMOSカメラ・モジュールからの入力回路を作ろう

ディジタル(640×480) YUV画像の取り込み

江崎雅康

個人でも入手できるCMOSカメラ・モジュールの出力は，ディジタルYUVやRGBであることが多い．ここでは，カメラ・モジュールから出力されたYUV4:2:2信号を，FPGAにてRGB信号に変換しつつ画素を間引いてモニタに出力した．（編集部）

1. 携帯機器の標準的な画像入力部品となりつつあるディジタルCMOSカメラ・モジュール

デジタル・カメラや携帯電話など，小型携帯機器に使われているのは従来型のNTSCアナログ・ビデオ出力のカメラではありません．**写真1**に示すディジタルCMOSカメラ・モジュールが小型携帯機器の主役です．

このカメラ・モジュールは，カラーCMOSイメージ・センサ「OV7640」（米国OmniVision Technologies社）にレンズ系を付け，カメラ・モジュールとして商品化したものです．画素数は640×480ピクセルです．

写真1　ディジタルCMOSカメラ・モジュールKBCR-M03VG（シキノハイテック）

VGA（640×480）サイズのCMOSセンサおよびレンズ系（5枚）で構成される

図1はOV7640の機能ブロック図です．**図2**に示す11.43mm×11.43mmのパッケージにCMOSイメージ・センサと画像データ処理回路，ディジタル・インターフェース回路が集積されています．**図3**はOV7640のスペクトル感度特性です．赤外域や紫外域にも感度があることが分かります．

携帯機器分野の画像入力センサは，当初CCDが先行しました．当時の技術ではCMOSセンサより画像の質が優れていたというのがその理由です．

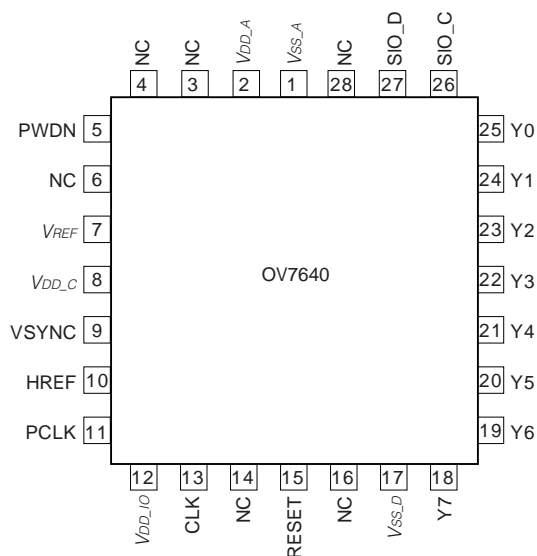



図2　CMOSイメージ・センサOV7640のピン配置図

クロック（CLK）を入力するとピクセル・クロック（PCLK）に同期して画像データ（Y0～Y7）と同期信号が出力される．SIO_D，SIO_Cはカメラ・モジュールの設定用シリアル・インターフェース信号．

KeyWord　VGA，CMOSカメラ・モジュール，OV7640，KBCR-M03VG，YUV（4：2：2），YUV（4：4：4），YUV-RGB変換

その後CMOSセンサも技術改良が進み,

- センサと画像データ処理部のワンチップ化が容易
- CMOSセンサのほうがコストダウンが容易

などの理由によりCMOSセンサが優位に立っています.

2. 標準化が進むディジタルCMOSセンサ

市販のディジタルCMOSカメラ・モジュールは,

①ピクセル・クロック(PCLK)に同期したディジタル8ビット並列バスによる画像データ出力

②シリアル2線もしくはシリアル3線バスによるカメラ・モジュールの設定

を特徴としています.

メーカによって信号のタイミング規定,信号配列,モジュール初期化仕様など細かい点は異なりますが,上記の特徴はほぼ共通しています.

初期設定によりYUV(4:2:2),RGB(4:2:2)などのフォーマットが選択できるのも各メーカ共通です.

携帯電話やデジタル・カメラに代表される携帯機器分野は,機能,コスト,性能を競い合いながら猛烈な勢いで進化している世界です.先発メーカを追撃するメーカは当然,リプレースを狙っていきます.機能アップやコストダウンを行う際に,(容易にリプレースできるためには)基本仕様は引き継がざるを得ないという事情があります.

3. VGAカメラ・モジュールKBCR-M03VGの仕様

…VGA画像データをディジタル出力

表1はVGAカメラ・モジュールKBCR-M03VGの仕様です.画素総数は640×480ピクセルのVGAサイズです.

ディジタル画像データの出力フォーマットは,

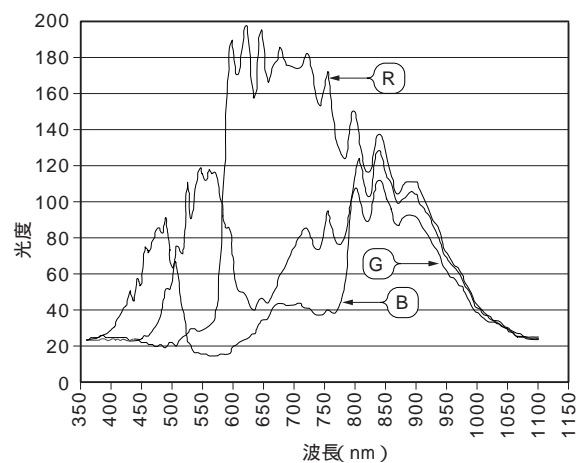



図3 OV7640のスペクトル感度特性

850nm付近の近赤外領域にも感度がある.これはノイズとなるので通常はレンズ系に赤外カット・フィルタを挿入する.

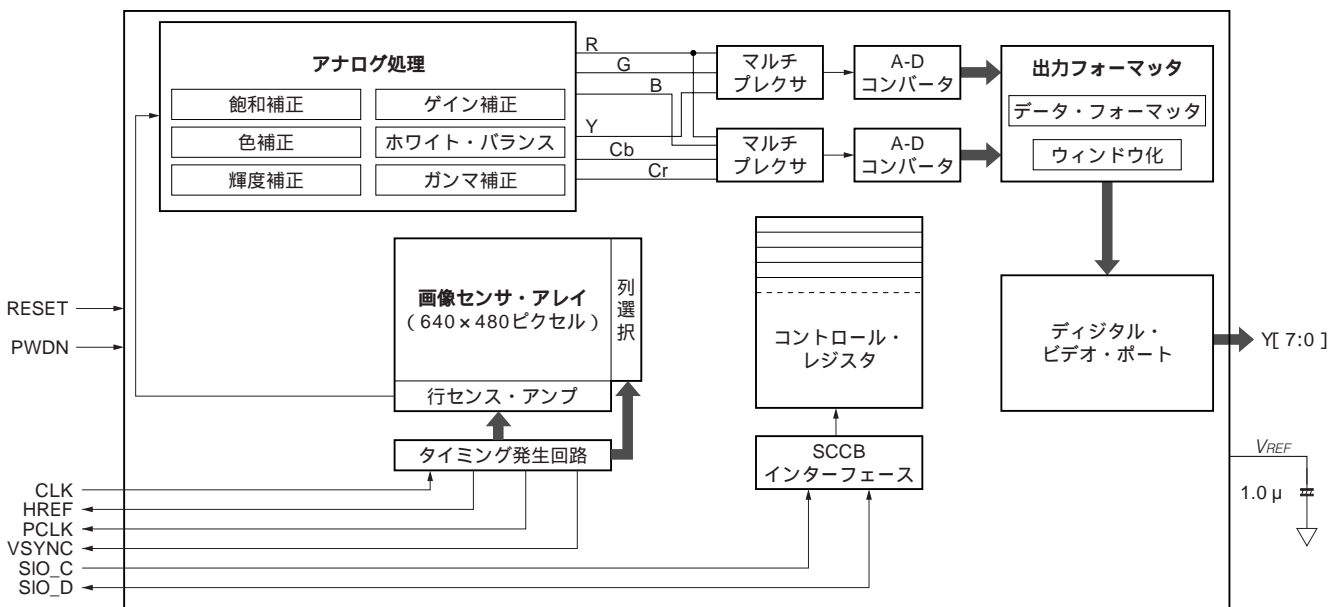



図1 CMOSイメージ・センサOV7640の内部構成

VGA(640×480ピクセル)サイズのCMOSイメージ・センサと画像データ処理,タイミング回路が1チップに搭載される.

- YUV(4：2：2)
- RGB(4：2：2)
- RGB(5：6：5)

などが選択できます．電源投入時のデフォルトのフォーマットはYUV(4：2：2)ですが，2線式インターフェースSCCBによりデータ形式を変更することができます．

画像フレーム・レートはVGAのとき30フレーム/s，QVGA(320×240ピクセル)のとき60フレーム/sです．60フレーム/sの液晶やVGAディスプレイにスルー表示させることができるのはQVGAカメラ画像入力データだけです．

図4はCMOSカメラ・モジュール「KBCR-M03VG」の基板外形図です．18mm×22mmの基板上にCMOSセンサOV7640とレンズ，カメラ・マウント，コンデンサなど周辺部品が実装されています．

基板の上面側にCMOSイメージ・センサ，基板の下面にFPCケーブル接続用のコネクタが実装されています．

このコネクタに0.5mmピッチのFPCケーブルを接続し画像データを取り出します．**表2**はCMOSカメラ・モジュールKBCR-M03VGのインターフェース信号配列です．

電源電圧は2.5Vですが，**表3**の電気特性に示すように入力信号は，

$$V_{DD\text{-}IO} + 1.0\ \text{V} = 2.5 + 1.0\ \text{V} = 3.5\text{V}$$

まで許されます．本誌7月号付属基板のXC3S250Eは全I/O

表1　CMOSカメラ・モジュールKBCR-M03VGの仕様

項目	内容
撮像素子	Omnivision Technologies社製OV7640
総画素数	640×480ピクセル
出力最大画素数	640×480ピクセル(VGA)
画素寸法	5.6 μm×5.6 μm
イメージ・エリア	3.6mm×2.7mm(1/4インチ)
電源電圧	DC2.5V
出力信号形式	YUV/YCbCr 4：2：2(8ビット)　ITU-656 RGB(G：R：B　4：2：2)(8ビット) RGB Raw Data(8ビット)
フレーム・レート	30フレーム/s(VGA)， 60フレーム/s(QVGA)
外部インターフェース形式	SCCB(Standard Serial Camera Control Bus)
外形寸法	18mm(H)×22mm(W)
質量	約4g(レンズ含まず)
インターフェース	0.5mmピッチFPC20芯ケーブル

表2　CMOSカメラ・モジュールKBCR-M03VGのコネクタ・ピン一覧

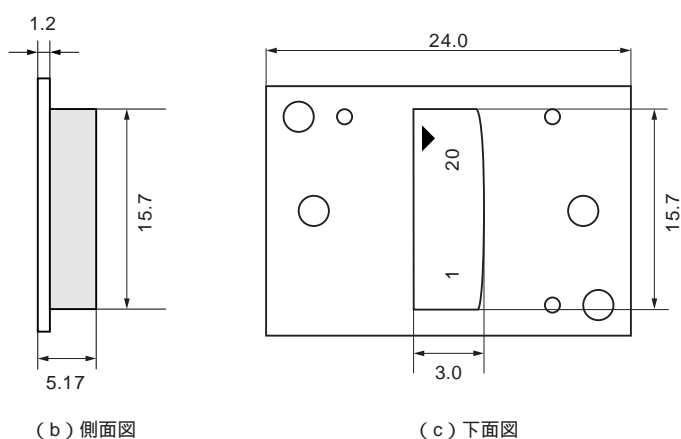
CMOSカメラ・モジュールの信号線，電源供給ラインはすべてこの20芯FPCケーブルに集約されている．

ピン番号	ピン名	I/O	OV7640ピン番号	内　容
1	AGND	―	1	アナログ・グラウンド
2	HREF	O	10	HREF出力
3	VSYNC	O	9	垂直同期信号出力
4	PWDN	I	5	スタンバイ・モード入力
5	PCLK	O	11	PCLK出力
6	V_{DD_A}	―	2	アナログ電源(2.5V)
7	V_{DD_D}	―	8，12	ディジタル電源(2.5V)
8	SIO_D	I/O	27	SCCBシリアル・データ入出力
9	XCLK	I	13	クロック入力
10	SIO_C	I	26	SCCBシリアル・クロック入力
11	Y0	O	25	YUVデータ出力(ビット0)
12	Y1	O	24	YUVデータ出力(ビット1)
13	Y2	O	23	YUVデータ出力(ビット2)
14	Y3	O	22	YUVデータ出力(ビット3)
15	DGND	―	17	ディジタル・グラウンド
16	Y4	O	21	YUVデータ出力(ビット4)
17	Y5	O	20	YUVデータ出力(ビット5)
18	Y6	O	19	YUVデータ出力(ビット6)
19	Y7	O	18	YUVデータ出力(ビット7)
20	RESET	I	15	リセット入力(レジスタ・クリア)

(a) 上面図

(b) 側面図　(c) 下面図

図4　CMOSカメラ・モジュールKBCR-M03VGの基板外形

16mm×24mmの基板上にディジタルCMOSカメラ機能が集積される．基板下面にFPCケーブル接続用のコネクタが実装されている．

バンクとも3.3V電源ですが問題なく動作しています．

4．ディジタル画像入力フォーマットは何種類もある
…YUV（4：2：2），RGB（4：2：2）など

パソコンのディスプレイ信号はR（赤）G（緑）B（青）の3原色データで表現されています．人間の目が色の変化よりも明るさの変化に敏感な性質を利用して，輝度情報により多くのデータ量を割り当てるのがYUVフォーマットです．

輝度信号（Y）と，輝度信号と青色成分の差（U），輝度信号と赤色成分の差（V）の三つの情報で色を表す形式です．少ない画質の劣化で高いデータ圧縮率を得ることができるため，テレビやJPEG，MPEGなどの圧縮技術に用いられています．

図5はCMOSカメラ・モジュールに使われている各種画像フォーマットを図示したものです．縦方向に8ビットのデータ・ビット，横方向に時間をとって図示しています．

図5（a）はYUV（4：2：2）と呼ばれる画像データ・フォーマットです．4バイトで2ピクセル分のデータを表現しています．輝度信号（Y）はピクセルごとに1データ（1バイト），色信号（U，V）は2ピクセルに1データを使っています．

図5（b）はRGB（4：2：2）方式のフォーマットです．T0～T2で1ピクセル，T2～T4で1ピクセルという具合にデータが構成されています．このフォーマットも輝度信号は2バイトで1ピクセル，色信号は4バイトで1ピクセルという考え方です．

図5（c）はRGB（5：6：5）形式です．この方式は輝度信号も2バイトで1ピクセルを表現しています．輝度信号の分解能を6ビットと犠牲にして，色信号も2バイトで1ピクセルを表現しています．

YUV（4：2：2）にもYとU，Vの順序が違ういくつかのバリエーションがありますが，各社ともシリアル・インターフェースによる初期化によって対応しています．

表3　CMOSカメラ・モジュールKBCR-M03VGの電気特性

項　目	最小	最大	単位
$V_{DD\text{-}A}$ 電源電圧	－	＋3.0	V
$V_{DD\text{-}C}$ 電源電圧	－	＋3.0	V
$V_{DD\text{-}IO}$ 電源電圧	－	＋4.0	V
入力端子電圧	－0.3	V_{DD-IO} ＋1.0	V
動作温度（性能保証範囲）	0	45	℃
保存温度（レンズ未実装時）	0	85	℃

（a）絶対最大定格

記　号	項　目	最小	標準	最大	単位
$V_{DD\text{-}A}$	$V_{DD\text{-}A}$ 電源電圧	2.4	2.5	2.6	V
$V_{DD\text{-}C}$	$V_{DD\text{-}C}$ 電源電圧	2.25	2.5	2.75	V
$V_{DD\text{-}IO}$	$V_{DD\text{-}IO}$ 電源電圧	2.25	2.5	3.3	V
V_{IL}	入力“L”電圧	－	－	0.3× $V_{DD\text{-}IO}$	V
V_{IH}	入力“H”電圧	0.7× $V_{DD\text{-}IO}$	－	－	V
V_{OL}	出力“L”電圧	－	－	0.1× $V_{DD\text{-}IO}$	V
V_{OH}	出力“H”電圧	0.9× $V_{DD\text{-}IO}$	－	－	V
I_{CC1}	動作時電源電流	－	15	－	mA
I_{PWDN}	PWDN時電源電流	－	10	－	μA

（b）DC特性

ピン名	時間							
	T0	T1	T2	T3	T4	T5	T6	T7
D7	U7(0)	Y7(0)	V7(0)	Y7(1)	U7(2)	Y7(2)	V7(2)	Y7(3)
D6	U6(0)	Y6(0)	V6(0)	Y6(1)	U6(2)	Y6(2)	V6(2)	Y6(3)
D5	U5(0)	Y5(0)	V5(0)	Y5(1)	U5(2)	Y5(2)	V5(2)	Y5(3)
D4	U4(0)	Y4(0)	V4(0)	Y4(1)	U4(2)	Y4(2)	V4(2)	Y4(3)
D3	U3(0)	Y3(0)	V3(0)	Y3(1)	U3(2)	Y3(2)	V3(2)	Y3(3)
D2	U2(0)	Y2(0)	V2(0)	Y2(1)	U2(2)	Y2(2)	V2(2)	Y2(3)
D1	U1(0)	Y1(0)	V1(0)	Y1(1)	U1(2)	Y1(2)	V1(2)	Y1(3)
D0	U0(0)	Y0(0)	V0(0)	Y0(1)	U0(2)	Y0(2)	V0(2)	Y0(3)

（a）8ビットYUV（4:2:2）出力

ピン名	時間							
	T0	T1	T2	T3	T4	T5	T6	T7
D7	B7(0)	G7(0)	R7(0)	G7(1)	B7(2)	G7(2)	R7(2)	G7(3)
D6	B6(0)	G6(0)	R6(0)	G6(1)	B6(2)	G6(2)	R6(2)	G6(3)
D5	B5(0)	G5(0)	R5(0)	G5(1)	B5(2)	G5(2)	R5(2)	G5(3)
D4	B4(0)	G4(0)	R4(0)	G4(1)	B4(2)	G4(2)	R4(2)	G4(3)
D3	B3(0)	G3(0)	R3(0)	G3(1)	B3(2)	G3(2)	R3(2)	G3(3)
D2	B2(0)	G2(0)	R2(0)	G2(1)	B2(2)	G2(2)	R2(2)	G2(3)
D1	B1(0)	G1(0)	R1(0)	G1(1)	B1(2)	G1(2)	R1(2)	G1(3)
D0	B0(0)	G0(0)	R0(0)	G0(1)	B0(2)	G0(2)	R0(2)	G0(3)

（b）8ビットGBR（4:2:2）出力

ピン名	時間							
	T0	T1	T2	T3	T4	T5	T6	T7
D7	G2(0)	R4(0)	G2(1)	R4(1)	G2(2)	R4(2)	G2(3)	R4(3)
D6	G1(0)	R3(0)	G1(1)	R3(1)	G1(2)	R3(2)	G1(3)	R3(3)
D5	G0(0)	R2(0)	G0(1)	R2(1)	G0(2)	R2(2)	G0(3)	R2(3)
D4	B4(0)	R1(0)	B4(1)	R1(1)	B4(2)	R1(2)	B4(3)	R1(3)
D3	B3(0)	R0(0)	B3(1)	R0(1)	B3(2)	R0(2)	B3(3)	R0(3)
D2	B2(0)	G5(0)	B2(1)	G5(1)	B2(2)	G5(2)	B2(3)	G5(3)
D1	B1(0)	G4(0)	B1(1)	G4(1)	B1(2)	G4(2)	B1(3)	G4(3)
D0	B0(0)	G3(0)	B0(1)	G3(1)	B0(2)	G3(2)	B0(3)	G3(3)

（c）8ビットRGB（5:6:5）出力

図5　ディジタル画像入力のデータ・フォーマット

YUV（4：2：2）の場合は4バイトで2ピクセル分の輝度信号と色差を構成する．人間の目の輝度および色に対する感度を考慮して少ないビット・データできれいな画像を表現する工夫が凝らされている．

5. VGAサイズのディジタル画像を毎秒30フレームで出力する

表2のクロック入力(XCLK)はカメラ・モジュールに外部から供給する基本クロックです．このクロックは画像データのピクセル・クロック(PCLK)のベースになる重要なクロックです．

表4に示すKBCR-M03VGのタイミング特性では，10M～27MHzと規定されていますが，画像ベースボードの設計では基準値24MHzにしました．

このクロックに同期してカメラ・モジュールから，

- ピクセル・クロック出力(PCLK)
- 水平表示出力(HREF)
- 垂直同期信号出力(VSYNC)
- 画像データ線(Y0～Y7)

が出力されます．

図6は水平出力タイミング図です．水平表示出力(HREF)が"H"(High)の期間に640バイトの画像データが出力されます．

画像データはPCLKのエッジに同期して出力されます．HREF＝"L"(Low)の期間のデータは無効です．

水平同期信号は出力されませんが，必要であればHREFの立ち下がりエッジから適当なクロック遅延をおいて作り出すことができます．

図6の水平タイミング図は水平1ラインの表示データに相当します．VGA出力の場合は**図7**のタイミング図に示すように，525ラインで1フレームが構成されます．垂直同期信号VSYNCは正論理で出力されています．

図8は画像データがRGB(5:6:5)モードで出力される場合のタイミング図です．**図5**に示したように前後の2バイトで1ピクセル・データを構成します．画像データの取り込み回路を設計する場合は留意する必要があります．

6. SCCBシリアルでカメラ・モジュールを設定する
…デフォルトはYUV(4:2:2)

表2の信号配列のうち「SCCB(serial camera control bus)シリアル信号」

- SCCBシリアル・クロック入力(SIO_C)
- SCCBシリアル・データ入出力(SIO_D)

はカメラ・モジュールの設定を行うためのシリアル通信信号線です．**図9**はSCCBのタイミング図です．

表4 CMOSカメラ・モジュールKBCR-M03VGのACおよびタイミング特性

記号	項目	最小	標準	最大	単位
クロック入力					
f_{OSC}	入力クロック周波数	10	24	27	MHz
t_{DUT}	クロック入力デューティ・サイクル	45	50	55	%
$t_{s:RESET}$	リセット(ソフト＆ハード)後，セッティング時間	―	―	1	ms
SCCBタイミング(400kbps)					
f_{SIO_C}	SIO_Cクロック入力周波数	―	―	400	kHz
t_{LOW}	SIO_Cクロック"L"期間	1.3	―	―	μs
t_{HIGH}	SIO_Cクロック"H"期間	0.6	―	―	μs
t_{AA}	SIO_C"L"からデータ出力有効までの遅延時間	0.1	―	0.9	μs
t_{BUF}	BUSフリー時間	1.3	―	―	μs
$t_{HD:SAT}$	SIO_C STARTコンディション・ホールド・タイム	0.6	―	―	μs
$t_{SU:SAT}$	SIO_C STARTコンディション・セットアップ・タイム	0.6	―	―	μs
$t_{HD:DAT}$	SIO_C Data-inホールド・タイム	0	―	―	μs
$t_{SU:DAT}$	SIO_C Data-inセットアップ・タイム	0.1	―	―	μs
$t_{SU:STP}$	STOPコンディション・セットアップ・タイム	0.6	―	―	μs
t_r，t_f	Input Rise/Fallタイム	―	―	0.3	μs
t_{DH}	Data-outホールド・タイム	50	―	―	ns
ディジタル出力(VSYNC，HREF，PCLK，Y〈7：0〉)					
t_{PVD}	PCLK↓to Data-out	―	―	5	ns
t_{SU}	Y〈7：0〉セットアップ時間	15	―	―	ns
t_{HD}	Y〈7：0〉ホールド時間	8	―	―	ns
t_{PHH}	PCLK↓to HREF↑	0	―	5	ns
t_{PHH}	PCLK↓to HREF↑	0	―	5	ns

SCCBの詳細な通信仕様はOmniVision Technologies社のホームページ(http://www.ovt.com/)で入手できます．I²Cに似ている2線式シリアル・インターフェースですがACKビットの位置がドント・ケア・ビットとして定義されています．

表5はOV7640の内蔵レジスタ/マップです．CMOSセンサOV7640は起動時にこれらのレジスタに必要な設定値を書き込んで初期設定を行う必要があります．

デフォルトの初期設定値は，つぎのとおりです．

- VGA，HREF＝正論理
- 画像フォーマット　YUV 4:2:2
- データ並び順　UYVY

図6
水平出力タイミング図
ピクセル・クロックPCLKに同期して画像データ(Y0〜Y7)が出力される．HREFは水平表示期間を示す．HREFが“L”の期間の画像データは無効．

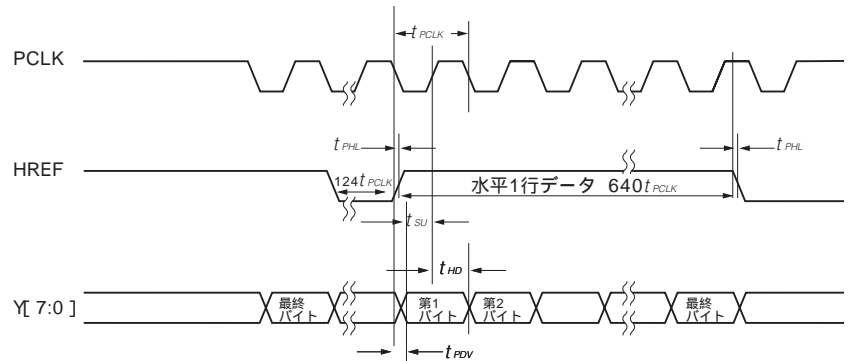



図7
VGAフレーム・タイミング図
525本の水平同期信号により垂直1フレームが構成される．そのうち表示されるのは480ラインのみ．

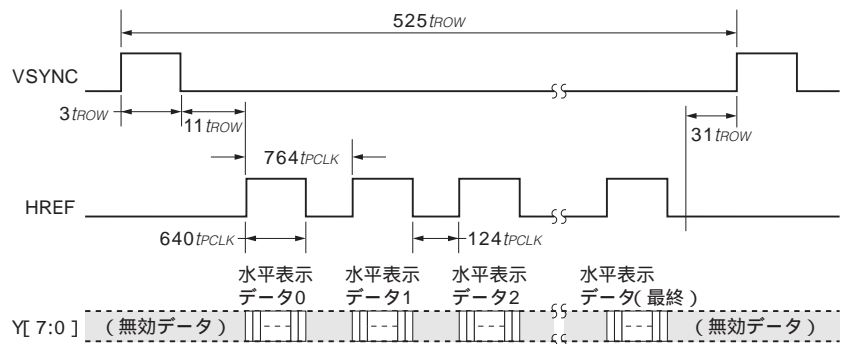



図8
CMOSカメラ・モジュールKBCR-M03VGの出力タイミング図
CMOSカメラ・モジュールは画像データを8ビット・バスによりバイト単位で出力する．この図はRGB(5:6:5)出力のときのデータの並び方をあらわす．

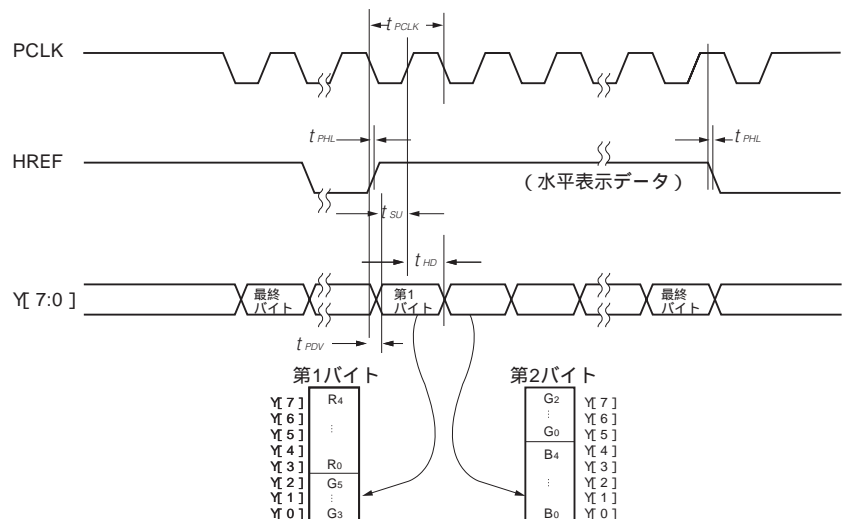
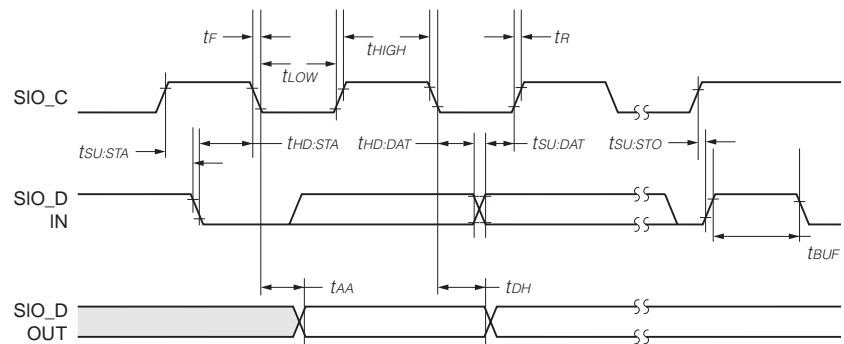



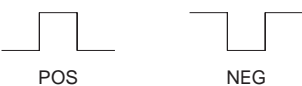
図9
SCCBのタイミング図
CMOSカメラ・モジュールへは2線式シリアル・インターフェースSCCBを介して初期設定する．

表5　OV7640の内蔵レジスタ/マップ

アドレス（Hex）	レジスタ	デフォルト（Hex）	R/W	機能設定
00	GAIN	0	RW	AGC-ゲイン設定 Bit［7：6］　リザーブ Bit［5：0］　ゲイン設定 ・レンジ［00］～［3F］
01	BLUE	80	RW	AWB-青チャネル・ゲイン設定 ・レンジ［00］～［FF］
02	RED	80	RW	AWB-赤チャネル・ゲイン設定 ・レンジ［00］～［FF］
03	SAT	84	RW	イメージ・フォーマット Bit［7：4］：　飽和値 ・レンジ［0］～［F］ Bit［3：0］：　リザーブ
04	HUE	34	RW	イメージ・フォーマット-色彩コントロール Bit［7：6］：　リザーブ Bit［5］　　：　色彩有効 Bit［4：0］：　色彩セッティング
05	CWF	3E	RW	AWB-赤/青プリアンプ・ゲイン設定 Bit［7：4］： ・レンジ［0］～［F］ Bit［3：0］： ・レンジ［0］～［F］
06	BRT	80	RW	ABC-輝度設定 ・レンジ［00］～［FF］
07-09	RSVD	XX	－	リザーブ
0A	PID	76	R	製品ID番号
0B	VER	48	R	製品バージョン番号
0C-0F	RSVD	XX	－	リザーブ
10	AECH	41	RW	露出値
11	CLKRC	0	RW	データ・フォーマットおよび内部クロック Bit［7：6］：　データ・フォーマット－HSYNC/VSYNC極性 00：HSYNC=NEG　　VSYNC=POS 01：HSYNC=NEG　　VSYNC=NEG 10：HSYNC=POS　　VSYNC=POS 11：HSYNC=NEG　　VSYNC=POS POS　　NEG Bit［5：0］：　内部クロック・プリスケーラ ・レンジ［0］～［3F］

7．カメラ・インターフェース回路の全体構成を理解する
…メモリブロックによる160×120×9フレーム・メモリ

7月号付属FPGA基板と画像ベースボードを使ってカメラ・モジュールから入力した画像をアナログRGB表示する回路を設計しました．

回路全体のブロックを図10に示します．カメラ・モジュールOV7640の画像信号をXC3S250Eで加工し，ビデオ出力用D-Aコンバータ「ADV7125」へ出力します．

OV7640へは基準となるクロックを出力する必要があり，このクロックに同期してピクセル・クロックおよび画像データが出力されます．

8．カメラ・インターフェース回路とフレーム・メモリ構成

XC3S250E内部のカメラ・インターフェース回路は，OV7640が出力した画像データをメモリ（VRAM）に書き込み，そのデータを読み出してADV7125へ出力します．カメ

表5　OV7640の内蔵レジスタ/マップ（つづき）

アドレス（Hex）	レジスタ	デフォルト（Hex）	R/W	機能設定
12	COMA	14	RW	コモン・コントロールA Bit［7］： SCCB-レジスタ・リセット 0：ノー・チェンジ 1：すべてのレジスタ値をデフォルト値に設定 Bit［6］： 出力フォーマット－ミラー・イメージ可 Bit［5］： リザーブ Bit［4］： データ・フォーマット－YUVフォーマット （レジスタCOMD［0］＝0のとき） 0：YUYVYUYV 1：UYVYUYVY （レジスタCOMD［0］＝1のとき） 0：YVYUYVYU 1：VYUYVYUY Bit［3］： 出力フォーマット－出力チャネル選択A 0：YUV/YCbCr 1：RGB/Raw RGB Bit［2］： AWB-許可 Bit［1：0］： リザーブ
13	COMB	A3	RW	コモン・コントロールB Bit［7：5］： リザーブ Bit［4］： データ・フォーマット－ITU656フォーマット許可 0：YUV/YCbCr 4：2：2 1：ITU-656 Bit［3］： リザーブ Bit［2］： SCCB-3ステート許可-Y［7：0］ Bit［1］： AGC-許可 Bit［0］： AEC-許可
14	COMC	4	RW	コモン・コントロールC Bit［7：6］： リザーブ Bit［5］： 出力フォーマット－分解能 0：VGA（640×480） 1：QVGA（320×240） Bit［4］： リザーブ Bit［3］： データ・フォーマット－HREF極性 0：HREF POS 1：HREF NEG POS　NEG Bit［2：0］： リザーブ

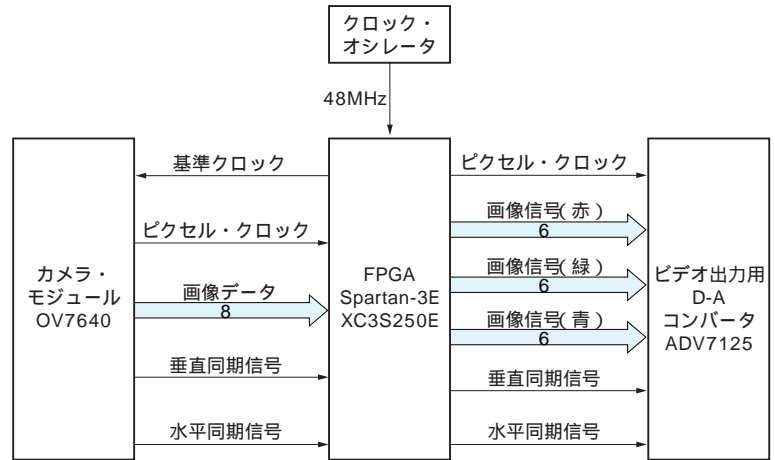



図10
回路全体のブロック図
CMOSカメラ・モジュールのデータを2007年7月号付属基板上のSpartan-3E内蔵ブロックRAMで構成するフレーム・メモリに記憶．YUV→RGB変換処理を経てビデオ出力する試作回路．

表5　OV7640の内蔵レジスタ/マップ（つづき）

アドレス(Hex)	レジスタ	デフォルト(Hex)	R/W	機能設定
15	COMD	0	RW	コモン・コントロールD Bit[7]：出力フラグ・ビット禁止 0：Frame=254 data bits(00/FF=リザーブ・フラグ・ビット) 1：Frame=256 data bits Bit[6]：データ・フォーマットーY[7：0]-PCLK基準エッジ 0：Y[7：0]data out on PCLK 立ち下がりエッジ 1：Y[7：0]data out on PCLK 立ち上がりエッジ Bit[5：1]：リザーブ Bit[0]：データ・フォーマットーUV順序交換 (レジスタCOMA[4]＝0のとき) 0：YUYVYUYV 1：YVYUYVYU (レジスタCOMA[4]＝1のとき) 0：UYVY UYVY 1：VYUY VYUY
16	RSVD	XX	#VALUE!	リザーブ
17	HSTART	1A	RW	出力フォーマットー水平フレーム(HREF 行)スタート
18	HSTOP	BA	RW	出力フォーマットー水平フレーム(HREF 行)停止
19	VSTRT	3	RW	出力フォーマットー垂直フレーム(垂直列)スタート
1A	VSTOP	F3	RW	出力フォーマットー垂直フレーム(垂直列)停止
1B	PSHFT	0	RW	データ・フォーマットーピクセル遅延選択 (1ピクセル内のHREFに対するY[7：0]の遅延タイミング) ・範囲：[00](遅延0)～[FF](256ピクセル遅延)
1C	HIDH	7F	R	製造業者IDバイト(上位)7F
1D	MIDL	A2	R	製造業者IDバイト(下位)A2
1E	RSVD	XX	―	リザーブ
1F	FACT	1	RW	出力フォーマットーフォーマット・コントロール Bit[7：5]：リザーブ Bit[4]：RGB：565/555 イネーブル・コントロール 0：禁止 1：許可 Bit[3]：リザーブ Bit[2]：RGB：565/555 モード選択 0：RGB：565 出力フォーマット 1：RGB：555出力フォーマット Bit[1：0]：リザーブ
20	COME	C0	RW	コモン・コントロールE Bit[7]：リザーブ Bit[6]：AEC-デジタル平均許可 Bit[5]：リザーブ Bit[4]：画像品質ーエッジ強調許可 Bit[3：1]：リザーブ Bit[0]：Y[7：0]2X IOL／IOH　許可

ラ・インターフェース回路のブロック図を図11に示します．

OV7640からは640×480ピクセルの画像が30フレーム/sで出力されます．これをパソコン用のモニタで表示しようとする場合は，60フレーム/s（リフレッシュ・レート60Hz）でアナログRGBコネクタへ出力する必要があります．

これは，フレーム・レートを合わせるために，同じ画像を2回出力しなければならないことを意味します．つまり，1フレームの画像すべてをフレーム・メモリ（VRAM）へ保存する必要があります．

今回の回路では使用できるメモリがFPGA内部のRAMしかありません．XC3S250Eは18Kビットのメモリ・ブロックを12個内蔵しています．RAMとして使用できるサイズは，

18×1,024×12÷8＝27,648バイト

となります．

640×480ピクセルの画像をRGB各8ビットで保存しようとした場合，必要なメモリ・サイズは，

640×480×3＝921,600バイト

となります．すべてのメモリ・ブロックを使用してもとても収まりません．

表5　OV7640の内蔵レジスタ/マップ（つづき）

アドレス(Hex)	レジスタ	デフォルト(Hex)	R/W	機能設定
21-23	RSVD	XX	—	リザーブ
24	AEW	10	RW	AGC/AEC－安定動作領域－上限
25	AEB	8A	RW	AGC/AEC－安定動作領域－下限
26	COMF	A2	RW	コモン・コントロールF Bit［7：3］：リザーブ Bit［2］：データ・フォーマット－出力データMSB/LSBスワップ許可（LSB->MSB（Y［7］），MSB->LSB（Y［0］）） Bit［1：0］：リザーブ
27	COMG	E2	RW	コモン・コントロールG Bit［7：5］：リザーブ Bit［4］：カラー・マトリックス－RGBクロストーク補償禁止 Bit［3：2］：リザーブ Bit［1］：データ・フォーマット－出力フルレンジ許可 0：出力レンジ＝［10］～［F0］ 1：出力レンジ＝［01］～［FE］ Bit［0］：リザーブ
28	COMH	20	RW	コモン・コントロールH Bit［7］：出力フォーマット－RGB出力選択 0：RGB 1：Raw RGB Bit［6］：デバイス選択 0：OV7640 1：OV7141 Bit［5］：出力フォーマット－スキャン選択 0：インターレース 1：プログレッシブ Bit［4：0］：リザーブ
29	COMI	0	R	コモン・コントロールI Bit［7：2］：リザーブ Bit［1：0］：デバイス・バージョン
2A	FRARH	0	RW	出力フォーマット－フレームレート調整　上位 Bit［7］：出力フォーマット－フレームレート調整許可 Bit［6：5］：出力フォーマット－フレームレート調整MSB FRA［9：0］＝MSB＋LSB＝FRARH［6：5］＋FRARL［7：0］ Bit［4］：A/D-UVチャネル '2ピクセル遅延 '許可 Bit［3：0］：リザーブ
2B	FRARL	0	RW	出力フォーマット－フレームレート調整　下位 FRA［9：0］＝MSB＋LSB＝FRARH［6：5］＋FRARL［7：0］
2C	RSVD	XX	—	リザーブ
2D	COMJ	81	RW	コモン・コントロールJ Bit［7：3］：リザーブ Bit［2］：AEC-大域フィルタ許可 Bit［1：0］：リザーブ
2E-5F	RSVD	XX	—	リザーブ

図11 カメラ・インターフェース回路のブロック図

2007年7月号付属基板上のSpartan-3Eに実装した回路．フレーム・メモリ・サイズの制約により画像はいまいちであるが基本的な回路はすべて体験できる．

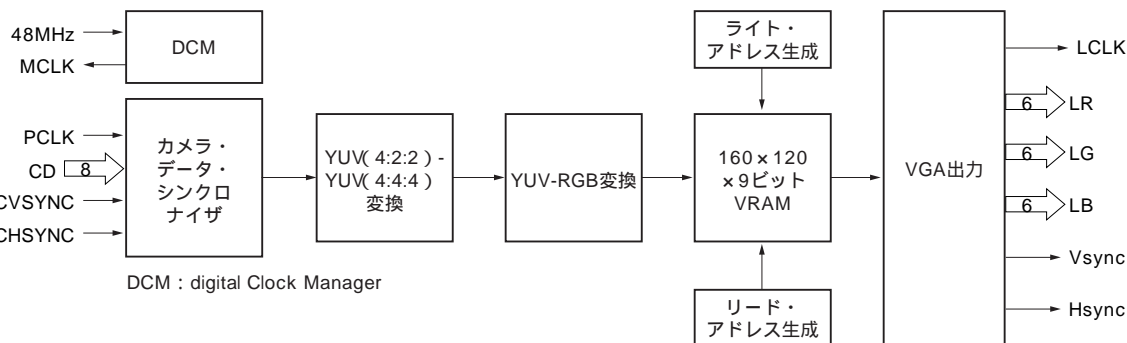



表5 OV7640の内蔵レジスタ/マップ（つづき）

アドレス（Hex）	レジスタ	デフォルト（Hex）	R/W	機能設定
60	SPCB	6	RW	信号プロセス・コントロールB Bit［7］： AGC-1.5Xマルチプライヤ許可 Bit［6：0］： リザーブ
61-6B	RSVD	XX	－	リザーブ
6C	RMCO	11	RW	カラー・マトリックス－RGBクロストーク補償－Rチャネル
6D	GMCO	1	RW	カラー・マトリックス－RGBクロストーク補償－Gチャネル
6E	BMCO	6	RW	カラー・マトリックス－RGBクロストーク補償－Bチャネル
6F	RSVD	XX	－	リザーブ
70	COMK	1	RW	コモン・モード・コントロールK Bit［7］： リザーブ Bit［6］： Y［7：0］2X I0L／I0H 許可 Bit［5：0］： リザーブ
71	COML	0	RW	コモン・モード・コントロールL Bit［7］： リザーブ Bit［6］： データ・フォーマット－PCLK出力をHREFでゲート：許可 Bit［5］： データ・フォーマット－HREFピンにHSYNCを出力：許可 Bit［4］： リザーブ Bit［3：2］： データ・フォーマット－HSYNC立ち上がりエッジ遅延MSB Bit［1：0］： データ・フォーマット－HSYNC立ち下がりエッジ遅延MSB
72	HSDYR	10	RW	データ・フォーマット－HSYNC立ち上がりエッジ遅延LSB HSYNCR［9：0］＝MSB＋LSB＝COML［3：2］＋HSDYR［7：0］ ・000～762ピクセル遅延
73	HSDYF	50	RW	データ・フォーマット－HSYNC立ち下がりエッジ遅延LSB HSYNCF［9：0］＝MSB＋LSB＝COML［1：0］＋HSDYF［7：0］ ・000～762ピクセル遅延
74	COMM	20	RW	コモン・モード・コントロールM Bit［7］： リザーブ Bit［6：5］： AGC-最大ゲイン選択 00： +6dB 01： +12dB 10： +6dB 11： +18dB Bit［4：0］： リザーブ
75	COMN	02	RW	コモン・モード・コントロールN Bit［7］： 出力フォーマット－垂直フリップ許可 Bit［6：0］： リザーブ
76	COMO	00	RW	コモン・モード・コントロールO Bit［7：6］： リザーブ Bit［5］： スタンバイ・モード許可 Bit［4：0］： リザーブ
77-7D	RSVD	XX	－	リザーブ
7E	AVGY	00	RW	AEC-ディジタル Y/G チャネル平均 （AGC/AECにより自動的にアップデートされる．ユーザは読み出しのみ）
7F	AVGR	00	RW	AEC-ディジタル R/V チャネル平均 （AGC/AECにより自動的にアップデートされる．ユーザは読み出しのみ）
80	AVGB	00	RW	AEC-ディジタル B/U チャネル平均 （AGC/AECにより自動的にアップデートされる．ユーザは読み出しのみ）

そこで画像の解像度を4分の1に落とし，160×120ピクセル，RGB各3ビットにて保存することにしました．ブロック図の各回路について簡単に説明します．

● ディジタル・クロック・マネージャ（DCM）

Xilinx社のSpartan-3Eファミリには，DCM（Digital Clock Manager）が搭載されています．DCMは外部から入力されたクロック信号を逓倍および分周することができます．逓倍または分周しない場合でも，スキューのないクロックを作り出すことが可能です．

図11では外部から入力された48MHzのクロックから，基準となる24MHzのクロックを生成し，カメラ・モジュールのMCLKに出力しています．

カメラ・モジュールは，MCLKを基準としてPCLKを出力します．画像データCD，垂直同期信号CVSYNCおよび水平同期信号CHSYNCはPCLKに同期して出力されます．

DCMは出力したクロックをフィードバックし，外部から入力されたクロックと比較することにより，これらの時間的ずれ（スキュー）を補正します．クロックが安定して出力されるようになると，Lock信号をアサートします．今回設計した回路はLock信号の否定をリセット信号として使用しています．

● カメラ・データ・シンクロナイザ

PCLKに同期してCD，CVSYNCおよびCHSYNCが出力されるため，PCLKの立ち上がりでこれらをレジスタに保存しています．

この回路は，回路の動作を安定させるために，PCLKの立ち上がりでデータをラッチしてから，次のPCLKの立ち上がりまで入力データが変化しないようにすることを目的としています．

● YUV（4：2：2）-YUV（4：4：4）変換

今回使用したカメラ・モジュールは，電源投入後の初期設定の状態では，画像データをITU-R BT.656形式で出力します．これは，画像データを8ビットとし，Y（輝度信号），U（青色色差信号），V（赤色色差信号）を時分割で送信する方式です．

人間の目には，輝度の変化に対しては敏感ですが，色（彩度）の変化については鈍感であるという特性があります．この特性を利用して，Yに対してUおよびVを半分のデータ量で送信し，全体のデータ量を減らしています．この方式を4：2：2形式と呼んでいます．

4：2：2形式から画像データを復元する場合は，Yに対しUおよびVを同じデータ量に合わせると後段の回路の設計が簡単になります．Y，UおよびVが同じデータ量である方式を4：4：4形式と呼んでいます．

この回路は，4：2：2形式のデータを4：4：4形式に変換して出力します．

● RGB-YUV変換

YUVのフォーマットでは，輝度と色のデータが分離されており，このままでは人間にとって正しい色彩で画像を表現することができません．したがって，輝度と色のデータを人間が知覚することのできる光の3原色（RGB）に変換する必要があります．

この回路は，YUV（4：4：4）形式のデータをRGBに変換して出力します．

● ライト・アドレス生成

カメラ・モジュールが出力するCVSYNCおよびCHSYNCから，入力データの有効画像をカウントしVRAMへ書き込むアドレスを生成します．横方向，縦方向ともに3ピクセル間引き（4ピクセルのうち1ピクセル使用）してVRAMへ書き込んでいます．

● 160×120×9ビットVRAM

1フレームを格納するRAMです．RGB各3ビットをひとまとめにして書き込み，読み出しを行います．デュアルポートRAMになっているため，書き込みと読み出しにはそれぞれ別のクロックを使用することができます．

● リード・アドレス生成

出力に使用するクロックをカウントし，VRAMから読み出すアドレスを生成します．書き込みとは逆に，VRAMから読み出された1ピクセルのデータを，横方向，縦方向ともに4ピクセルに拡大します．

● VGA出力

出力に使用するクロックをカウントした値から，アナログRGBのコネクタへ出力するHsyncおよびVsyncを生成します．この際，フロント・ポーチおよびバック・ポーチ

を考慮する必要があります.

RGBは各5ビットずつ設定する必要があるため，VRAMから読み出したRGB各3ビットと下位2ビットに0を設定したデータを出力しています.

9. カメラ・モジュールとタイミング・チャートを調べる

今回使用したカメラ・モジュールには，OmniVision Technologies社のOV7640というCMOSイメージ・センサが搭載されています.

OV7640は，640×480ピクセル(VGA)および320×240ピクセル(QVGA)の解像度で画像を出力できます．画像データの出力形式は，YUVまたはRGBが選択できます.

SCCBにより，内部の設定レジスタに対して読み書きできます．電源投入時の初期設定状態では，解像度はVGA，30フレーム/s，ITU-R BT.656形式で画像が出力されます.

カメラの同期信号は初期設定では,

- 垂直同期信号CVSYNC　アクティブ“H”
- 水平同期信号CHSYNC　アクティブ“L”

で出力されます.

有効な画像データは，CVSYNCの否定(s_cam_vs)とCHSYNC(s_cam_hs)との論理積がHとなった期間に出力されるため，この期間のCDを有効な画像データとして使用しています．有効画像の出力期間を表したタイミング・チャートを図12に示します.

10. YUV(4:2:2)-YUV(4:4:4)変換のしかた

YUV(4：2：2)-YUV(4：4：4)変換のタイミング・チャートを図13に示します.

ITU-R BT.656形式では，8ビットの画像データが時分割にて出力されます．データの並びはU，Y，V，Y，U，Y，V，Y，…の順です．このままのデータ形式では後段の回路での取り扱いが複雑になるため，これを簡単にするために4：4：4形式に変換するのが一般的です.

VGAの解像度では1ラインが640ピクセルであるため，Yは640回，Uは320回，Vは320回出力されます．つまり，1ラインにつき画像データは1280クロック分出力されます．図13ではYUVがひとまとめになった時点でvalid_outがアサートされています．valid_outは1クロックおきに出力されているため，1ラインにつき640回出力されます.

図12 有効画像の出力期間
CMOSカメラ・モジュールの画像信号出力模式図．有効画像表示ラインは1フレーム＝480ライン.

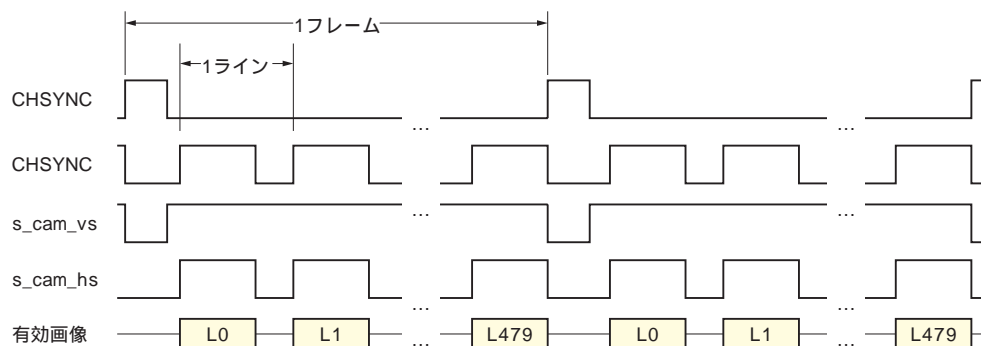
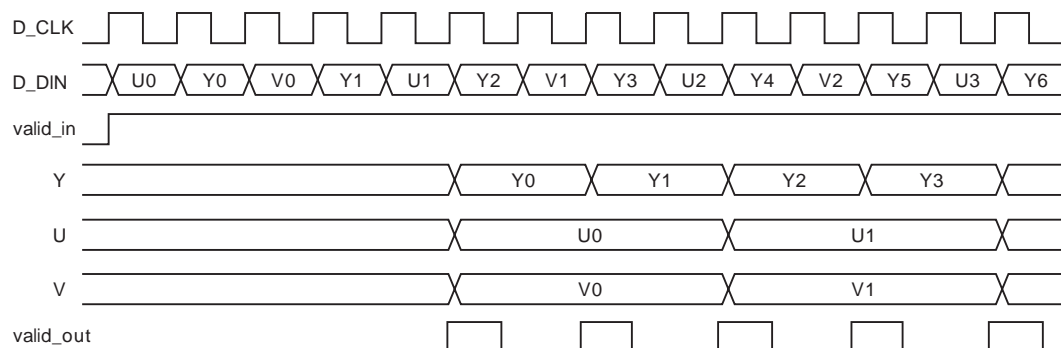



図13 YUV(4:2:2)-YUV(4:4:4)変換のタイミング・チャート
YUV(4:2:4)画像データは4バイトのUYVYで出力される．これをYUV(4:4:4)に変換するにはパイプライン処理が必要.

11. YUV-RGB変換

YUVからRGBへの変換は，以下の式により表されます．

$$R = 1.164(Y-16) + 1.596(V-128)$$
$$G = 1.164(Y-16) - 0.392(U-128) - 0.813(V-128)$$
$$B = 1.164(Y-16) + 2.017(U-128)$$

各項をまとめると，

$$R = 1.164Y + 1.596V - 222.912$$
$$G = 1.164Y - 0.392U - 0.813V + 135.616$$
$$B = 1.164Y + 2.017U - 276.8$$

固定小数点で計算するため，YUVの係数を4096倍（12ビット左シフト），定数項を16倍（4ビット左シフト）すると，

$$R = 4768Y + 6537V - 3567$$
$$G = 4768Y - 1606U - 3330V + 2170$$
$$B = 4768Y + 8262U - 4429$$

従って，各項の係数は16ビットの16進表示にて以下の通りとなります．

R＝0x12A0×Y＋0x18d5×V＋0xf211
G＝0x12A0×Y＋0xf9ba×U＋0xf2fe×V＋0x087a
B＝0x12A0×Y＋0x2046×U＋0xeeb3

符号なし8ビット×符号つき16ビットの演算を行う乗算器を9個用意し，YUVと各係数とを乗算します．これらの結果に，定数項を256倍（8ビット左シフト）した値を加算します．その結果を12ビット右シフトして8ビットのRGBを求めています．YUV-RGB変換のタイミング・チャートを図14に示します．パイプラインで処理しているため，計算結果はレイテンシ2で出力されています．

なお余談ですが，係数の設定値を変更するだけでこのロジックをRGB-YUV変換にも使用することができます．

12. CORE Generatorを使ってVRAMを作成する

1フレームの画像を保存するためのVRAMをXC3S250Eの内部に作成しました．VRAMの容量は160×120×9ビットです．このVRAMをほかのロジックから簡単に使用できるようにするため，Xilinx社のFPGA開発ツールISEに用意されているCORE Generatorを使用して作成しました．CORE Generatorを使用したRAM作成の手順を図15(a)～(h)に示します．

CORE Generatorを使用してこのVRAMを作成すると，カレント・ディレクトリにvram160x120x9.vhoというファイルが作成されます．このファイルにはコンポーネント宣言およびコンポーネント・インスタンス文のテンプレートが含まれています．このファイルを参考にして，VRAMを使用するソース・ファイルに必要な部分をコピーすればよいので便利です．

このRAMはデュアルポートRAMとし，ポートBからは書き込みのみ，ポートAからは読み出しのみの設定としました．

書き込み，読み出しともにレイテンシ1です．読み出しの場合，アドレスを確定してから次のクロックでアドレスが取り込まれ，そのアドレスのデータはその次のクロックで出力されるため注意が必要です．

このRAMを確保するために，全部で12個用意されてい

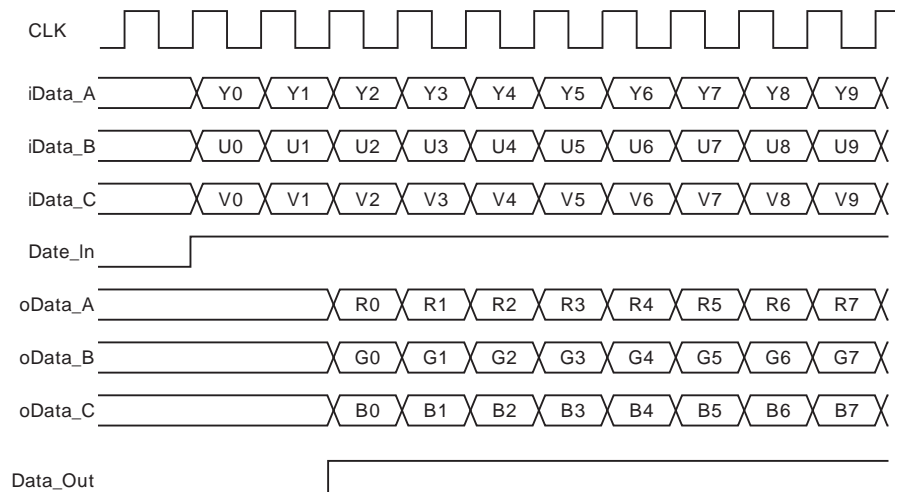



図14
YUV-RGB変換のタイミング・チャート
YUV(4:4:4)画像データをRGBデータに変換する．

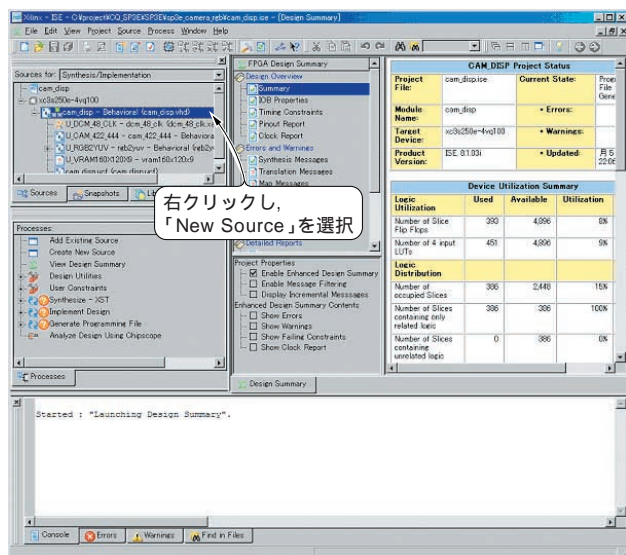
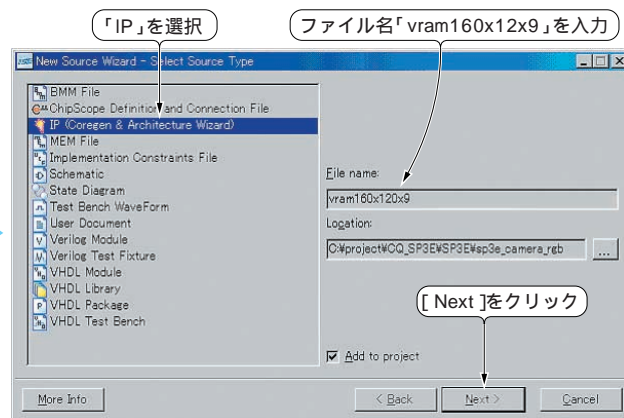
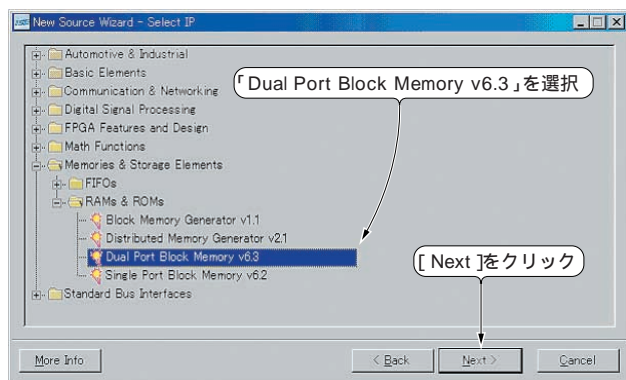
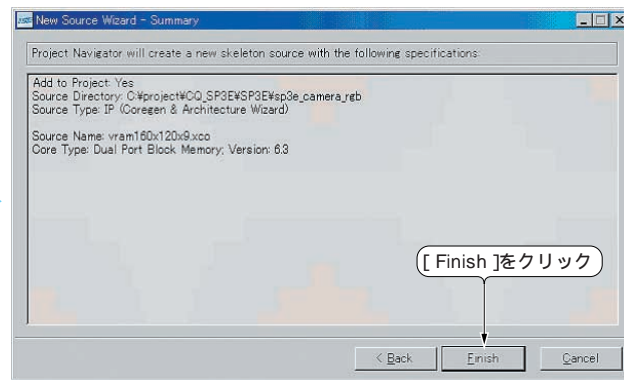
図15　CORE Generatorを使用してFPGA内部にメモリを作成

(**a**) New Source
右クリックし「New Source」を選択．

(**b**) Select Source Type
IPを選択し，ファイル名「vram160x120x9」を入力する．

(**c**) Select IP
「Dual Port Block Memory v6.3」を選択．

(**d**) Summary
[Finish]をクリックする．

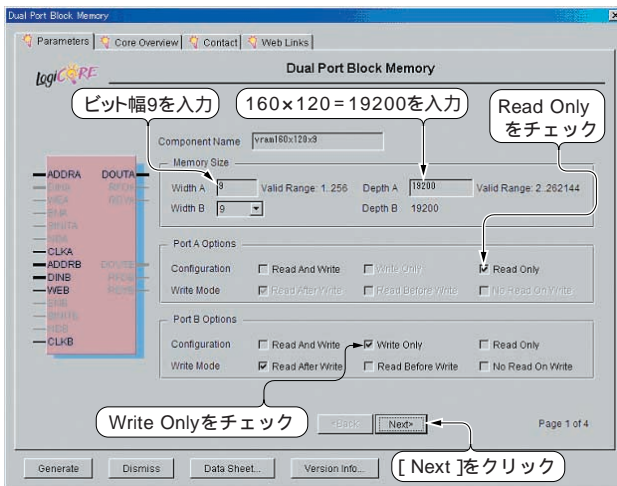
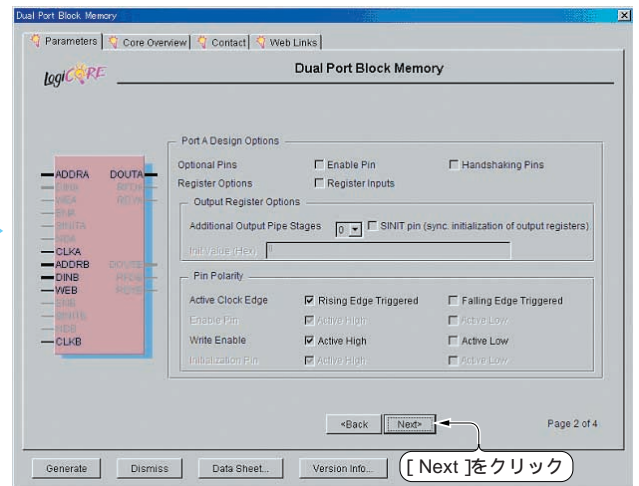
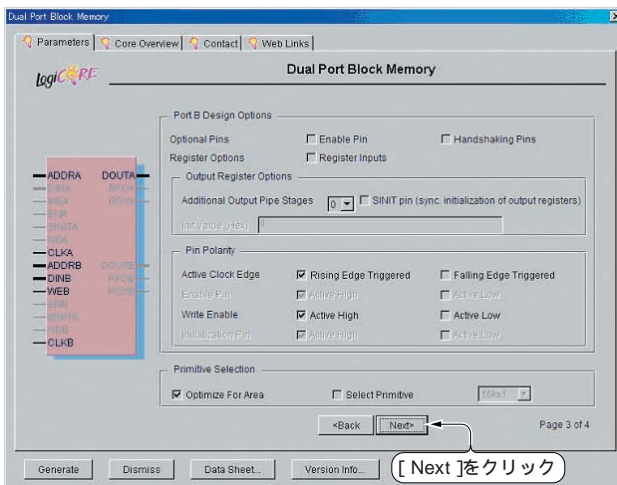
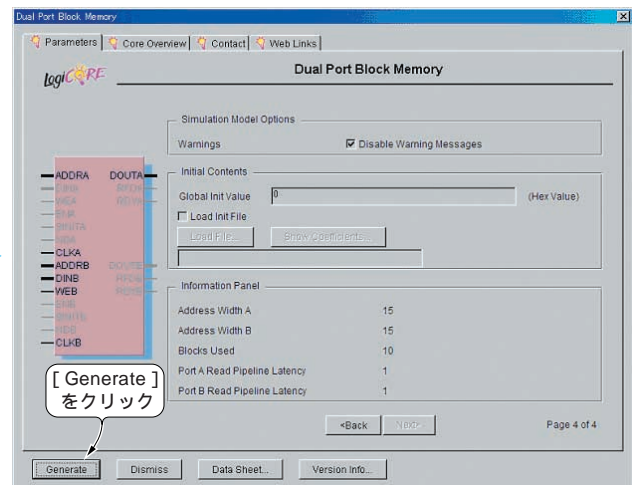
写真2　今回の回路で表示した画面
160×120×9ビットの画像フレーム・メモリで精一杯がんばって作った画面．

るXC3S250E内部のメモリ・ブロックを10個消費しました．

13．結果と今後の開発計画

はじめはカメラ・モジュールが出力する画像をYUV-RGB変換し，そのままのフレーム・レートにて表示（スルー表示）する予定でした．

しかし電源投入後の初期設定ではフレーム・レートが30フレーム/sであることが分かりました．設定変更のSCCBインターフェース回路の製作も間に合わなかったので，今回はスルー表示を断念しました．

写真2は今回の回路でVGA表示した画面です．VGAの解像度を4分の1に間引いて表示しているため，画像の粗

（e） Dual Port Block Memory ページ1
Dual Port Block Memoryのページ1に設定項目を入力．

（f） Dual Port Block Memory ページ2
Dual Port Block Memoryのページ2に設定項目を入力．

（g） Dual Port Block Memory ページ3
Dual Port Block Memoryのページ3に設定項目を入力．

（h） Dual Port Block Memory ページ4
Dual Port Block Memoryのページ4に設定項目を入力．

さが目立ちます．

また，メモリ容量の制約からADV7125への出力もRGB各3ビットしか使用していないため，色の表現にも限界があります．

しかしFPGA技術の進歩により，HDLを設計することで高速なビデオ信号を手軽に扱えるようになったことには驚きを隠せません．

今回はすべてFPGAベンダが提供している無償の開発環境を使用しました．これもひと昔前では信じられないことでした．無償の開発環境のみを使用しても，かなりのことが実現できます．これを機に，ロジック設計の世界に足を踏み入れてみてはいかがでしょうか．

今回は付属基板の100ピンFPGAを活用することを前提にしてきました．引き続き「208ピンXC3S250E-PQFP208＋512KSRAMフレーム・メモリ基板」を使った本格的な画像処理回路の開発を進めています．

SCCBインターフェース回路も実装していく予定です．次の機会には読者のみなさんに目が覚めるような画像をお見せできると思います．

えさき・まさやす
（株）イーエスピー企画